

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

t s3/7/all

3/7/1

DIALOG(R) File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

07249654 \*\*Image available\*\*  
SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUB. NO.: 2002-118111 [JP 2002118111 A]

PUBLISHED: April 19, 2002 (20020419)

INVENTOR(s): NOGAMI TAKESHI

KOMAI HISANORI

KITO HIDEYOSHI

TAGUCHI MITSURU

APPLICANT(s): SONY CORP

APPL. NO.: 2000-311465 [JP 2000311465]

FILED: October 12, 2000 (20001012)

Cap film

on Cu damascene

line; No CoWP

on most of sidewall

ABSTRACT

PROBLEM TO BE SOLVED: To inhibit the diffusion of copper on the interface between copper wiring and a cap film for increasing electromigration resistance, and to secure reliability in the copper wiring.

SOLUTION: This semiconductor device has an insulating film 12 formed on a substrate 11, a recess 13 (for example, a groove) formed in the insulating film 12, a conductive layer 15 buried in the recess 13 via a barrier layer 14, and a \*cobalt\* \*tungsten\* \*phosphor\* covering 16 that is connected to the barrier layer 14 at the side of the conductive layer 15, and at the same time covers the conductive layer 15 at the opening side of the recess 13.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118111

(P2002-118111A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl.<sup>7</sup>  
H 01 L 21/3205  
21/306

識別記号

F I  
H 01 L 21/88  
21/306  
21/88

テ-マ-ト\*(参考)  
R 5 F 0 3 3  
D 5 F 0 4 3  
R  
K

審査請求 未請求 請求項の数 8 OL (全 6 頁)

(21) 出願番号

特願2000-311465(P2000-311465)

(22) 出願日

平成12年10月12日 (2000.10.12)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野上 肇

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72) 発明者 駒井 尚紀

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

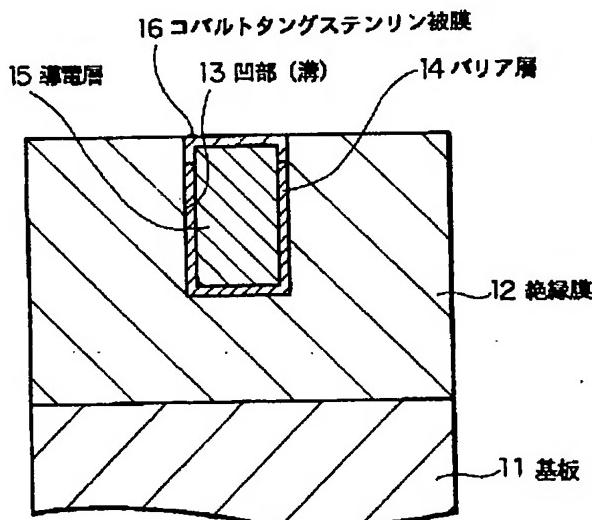
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 銅配線とキャップ膜との界面における銅の拡散を抑制してエレクトロマイグレーション耐性を高め、銅配線の信頼性を確保する。

【解決手段】 基板11上に形成された絶縁膜12と、この絶縁膜12に形成された凹部13（例えば溝）と、凹部13内にバリア層14を介して埋め込まれた導電層15と、導電層15側部でバリア層14に接続するとともに凹部14の開口側における導電層15を被覆するコバルトタングステンリム被膜16とを備えたものである。



【特許請求の範囲】

- 【請求項1】 基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記凹部内にバリア層を介して埋め込まれた導電層と、前記導電層側部で前記バリア層に接続するとともに前記凹部の開口側における前記導電層を被覆するコバルトタングステンリン被膜とを備えたことを特徴とする半導体装置。
- 【請求項2】 前記バリア層は前記導電層よりも凹部内部側に形成され、前記バリア層と前記コバルトタングステンリン被膜とで前記導電層を包含することを特徴とする請求項1記載の半導体装置。
- 【請求項3】 前記凹部は配線が形成される溝からなることを特徴とする請求項1記載の半導体装置。
- 【請求項4】 前記凹部は第1の導電層と第2の導電層との間を接続するプラグが形成される接続孔からなる、ことを特徴とする請求項1記載の半導体装置。
- 【請求項5】 基板上に形成された絶縁膜に凹部を形成する工程と、前記凹部内面とともに前記絶縁膜表面にバリア層を形成し、該バリア層を介して前記凹部を埋め込むように前記絶縁膜表面に導電層を形成する工程と、前記凹部内に前記導電層を残すように前記導電層を除去するとともに、前記凹部内に残す前記バリア層上端部が前記導電層側面と前記凹部側壁との間にになるように前記絶縁膜表面の前記バリア層を除去する工程と、無電解メッキによって、前記導電層側部で前記バリア層に接続するとともに前記凹部の開口側における前記導電層を選択的に被覆するコバルトタングステンリン被膜を形成する工程とを備えたことを特徴とする半導体装置の製造方法。
- 【請求項6】 前記バリア層は窒化タンゲステンで形成され、前記バリア層の除去は過酸化水素水を用いたウエットエッティングによることを特徴とする請求項5記載の半導体装置の製造方法。
- 【請求項7】 前記凹部は配線が形成される溝に形成されることを特徴とする請求項5記載の半導体装置の製造方法。
- 【請求項8】 前記凹部は層間の配線どうしを接続するプラグが形成される接続孔に形成されることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは導電層のキャップとなるコバルトタングステンリン被膜を形成した導電層を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】銅配線は、アルミニウム配線より低抵抗、低容量、高信頼性を得ることができるので、配線の寄生抵抗、寄生容量による回路遅延が支配的になる微細素子において重要性を増してきている。銅配線を形成する最も一般的な方法として、ダマシング工程が広く受け入れられている。そのダマシング工程のなかでも製造コストの点からデュアルダマシングプロセスが受け入れられている。このデュアルダマシング工程の採用によって、銅配線プロセスは従来のアルミニウム配線工程より低コスト化されることが期待されていた。

【0003】

【発明が解決しようとする課題】しかしながら、銅はアルミニウムと比較して酸化されやすいため、銅表面の酸化を防止するために比誘電率が8と高い窒化シリコン(SiN)をキャップ膜として使用する必要があった。その結果、配線システム全体の寄生容量を増大させるという弊害が生じている。また、銅はエレクトロマイグレーション耐性が高いと期待させる物性を有しているにもかかわらず、表面が化学的に不安定なため、銅と窒化シリコンとの界面が、銅の優先的拡散経路として働き、期待した高いエレクトロマイグレーション耐性(信頼性)が得られないという問題がある。

【0004】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0005】本発明の半導体装置は、基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記凹部内にバリア層を介して埋め込まれた導電層と、前記導電層側部で前記バリア層に接続するとともに前記凹部の開口側における前記導電層を被覆するコバルトタングステンリン(CoWP)被膜とを備えたものである。

【0006】上記半導体装置では、コバルトタングステンリン被膜が、導電層側部でバリア層に接続するとともに導電層の凹部の開口側を被覆するように形成されていることから、導電層のキャップ層が導電性を有する材料で形成されることになる。また、コバルトタングステンリン被膜は、銅との界面で銅の優先的拡散経路となりにくいため、高いエレクトロマイグレーション耐性(信頼性)が得られる。

【0007】また、導電層はバリア層とコバルトタングステンリン被膜とで包含された状態となっているため、導電層が銅のような酸化されやすい材料で形成されている場合であっても、バリア層とコバルトタングステンリン被膜とで、導電層は完全に被覆されて保護される。しかも、コバルトタングステンリン被膜は導電層上面および側面の上部側で導電層に密着することになるので、コバルトタングステンリン被膜は剥がれにくくなっている。その結果、コバルトタングステンリン被膜とバリア

層との接続力も強固になるので、コバルトタングステン被膜とバリア層とによって、導電層が銅で形成されても銅の拡散が防止されるとともに、導電層への酸素の拡散も防止されるので導電層の酸化が防止される。

【0008】本発明の半導体装置の製造方法は、基板上に形成された絶縁膜に凹部を形成する工程と、前記凹部内面とともに前記絶縁膜表面にバリア層を形成し、該バリア層を介して前記凹部を埋め込むように前記絶縁膜表面に導電層を形成する工程と、前記凹部内に前記導電層を残すように前記導電層を除去するとともに、前記凹部内に残す前記バリア層上端部が前記導電層側面と前記凹部側壁との間になるように前記絶縁膜表面の前記バリア層を除去する工程と、無電解メッキによって、前記導電層側部で前記バリア層に接続するとともに前記導電層の前記凹部の開口側を選択的に被覆するコバルトタングステン被膜を形成する工程とを備えている。

【0009】上記半導体装置の製造方法では、凹部内に残すバリア層上端部が導電層側面と凹部側壁との間になるように絶縁膜表面のバリア層を除去し、その後導電層側部でバリア層に接続するとともに凹部の開口側における導電層を選択的に被覆するコバルトタングステン被膜を形成することから、コバルトタングステン被膜は導電層側部でバリア層に接続するとともに導電層の凹部の開口側を選択的に被覆するように形成される。また、コバルトタングステン被膜は、銅との界面で銅の優先的拡散経路となりにくいため、高いエレクトロマイグレーション耐性（信頼性）が得られる。

【0010】また、凹部内に残すバリア層上端部が導電層側面と凹部側壁との間になるように絶縁膜表面のバリア層を除去するには、通常のバリア層の除去方法を用いることができる。つまり、通常の絶縁膜表面に形成されたバリア層を除去する工程では、絶縁膜表面のバリア層を完全に除去するためにオーバエッティングを行っている。そのため、凹部側壁に形成されているバリア層は、その上端が導電層表面よりも凹部の底部側になるように除去される。それによって、コバルトタングステン被膜を形成した場合に、導電層側部でバリア層に接続するように形成される。このように、コバルトタングステン被膜が導電層側部でバリア層と接続することから、導電層はバリア層とコバルトタングステン被膜とによって包含された状態になる。しかも、その接続部分が導電層の側部に位置することより、コバルトタングステン被膜は導電層上面および側面の上部側で導電層に密着することになり、コバルトタングステン被膜は剥がれにくくなる。その結果、コバルトタングステン被膜とバリア層との接続力も強固になるので、コバルトタングステン被膜とバリア層とによって、導電層が銅で形成されても銅の拡散が防止されるとともに、導電層への酸素の拡散も防止されるので導電層の酸化が防止される。

### 【0011】

【発明の実施の形態】本発明の半導体装置に係る実施の形態を、図1の概略構成断面図によって説明する。

【0012】図1に示すように基板11上には絶縁膜12が例えば酸化シリコン膜で形成されている。なお、この絶縁膜12には有機絶縁膜、多孔質絶縁膜等を用いることもできる。上記絶縁膜12には例えば溝配線が形成される溝からなる凹部13が形成されている。上記凹部13の内壁には、例えばバリア層14を介して導電層15が埋め込まれている。上記バリア層14は、例えば塗化タングステンで形成され、上記導電層15は例えば銅もしくは銅合金で形成されている。この導電層15の側部で上記バリア層14の上端端に接続するとともに凹部13の開口側の導電層15を選択的に被覆するようにコバルトタングステン被膜(CoWP)被膜16が形成されている。すなわち、導電層15の側部でコバルトタングステン被膜16とバリア層14とが接続して、コバルトタングステン被膜16とバリア層14とで導電層15が包含されている。

【0013】上記説明では、凹部13を溝で構成したが、凹部13は、配線と配線とを接続するプラグが形成される接続孔であってもよく、または配線が形成される溝およびこの溝底部に形成される接続孔からなるものであってもよい。

【0014】上記半導体装置では、コバルトタングステン被膜16が、導電層15側部でバリア層14に接続するとともに凹部13の開口側における導電層15を被覆するように形成されていることから、導電層15のキャップ層が導電性を有するコバルトタングステンで形成されることになる。また、コバルトタングステン被膜16は銅との界面で銅の優先的拡散経路となりにくいため、高いエレクトロマイグレーション耐性（信頼性）が得られる。

【0015】また、導電層15はバリア層14とコバルトタングステン被膜16とで包含された状態となっているため、導電層15が銅のような酸化されやすい材料で形成された場合であっても、バリア層14とコバルトタングステン被膜16とで、導電層15が完全に被覆されて保護される。しかも、コバルトタングステン被膜16は導電層15上面および側面の上部側で導電層15に密着することになるので、コバルトタングステン被膜16は剥がれにくくなっている。その結果、コバルトタングステン被膜16とバリア層14との接続力も強固になるので、コバルトタングステン被膜16とバリア層14とによって、銅で形成されているも導電層15であっても銅の拡散が防止されるとともに、導電層15への酸素の拡散も防止されるので導電層15の酸化が防止される。

【0016】次に、本発明の半導体装置の製造方法に係る実施の形態を、図2の製造工程断面図によって説明す

る。図2では、前記図1で示したのと同様の部品には同一符号を付与して示す。

【0017】図2の(1)に示すように、基板(図示せず)上に形成された第1の絶縁膜31に例えば溝配線構造の第1の配線32がバリア層32bを介して形成されている。上記第1の絶縁膜31上には第1の配線32を被覆する拡散防止層33が形成され、その上に第2の絶縁膜34が形成されている。上記拡散防止層33は接続孔形成時のエッチングストップとしての機能を有してもよい。さらに第2の絶縁膜34上には第3の絶縁膜35が形成されている。第3の絶縁膜35には凹部36(以下溝36として説明する)が形成され、その溝36の底部より第2の絶縁膜34を貫通して第1の配線32に達する接続孔37が形成されている。

【0018】上記構成の配線溝36および接続孔37の内面にはバリア層41が形成されている。このバリア層41は、例えば窒化タンクスチレンで形成されている。さらにバリア層41表面には例えばスパッタリング等の成膜技術を用いて銅シード層42が形成されている。通常、高アスペクト比の溝、接続孔では、溝側壁、接続孔側壁での銅シード層の膜厚不足を補填するためにシード層補強電解メッキを行う。図面ではシード層補強電界メッキを行った銅シード層42を示した。その後、基板を洗浄する。この洗浄は、例えば水洗によって行う。

【0019】次に、図2の(2)に示すように、銅電解メッキを行うことにより、溝36および接続孔37を銅からなる導電層43で埋め込む。その際、第3の絶縁膜35上のバリア層41上にも銅からなる導電層43が堆積される。なお、図面では銅シード層42も導電層43に含めて描いている。この電解メッキ工程のシーケンスでは、メッキ後の導電層43表面が平坦化されるようメッキ条件を選択して、表面が平坦な銅メッキ層を形成する。その後、基板を洗浄する。この洗浄は、例えば水洗によって行う。

【0020】次に、図2の(3)に示すように、上記処理を行った基板をアニーリングする。このアニーリングによって、電解メッキ後の微細な結晶粒を有する導電層43の銅結晶粒の成長を促す。

【0021】次に、図2の(4)に示すように、電解研磨を実施して絶縁膜(第3の絶縁膜35)表面の導電層43を除去し、溝36および接続孔37の内部のみに導電層43を残す。

【0022】続いて、図2の(5)に示すように、窒化タンクスチレンからなるバリア層41を過酸化水素水によるウエットエッチングにより除去する。すなわち、基板表面に過酸化水素水溶液をスプレーし、平坦面上の不必要な窒化タンクスチレンからなるバリア層41を溶解して除去する。窒化タンクスチレンのエッチングは等方的に行進するので、第3の絶縁膜35表面の窒化タンクスチレンを完全に除去するには、ある程度のオーバーエッチングが必要になる。その結果、溝36の側壁にサイドエッティングが生じ、バリア層41の上端41tが導電層43の表面43sよりも低く形成される。その後、基板を洗浄する。この洗浄は、例えば水洗によって行う。

【0023】次に、図2の(6)に示すように、無電解メッキによって、露出している導電層43表面にコバルトタンクスチレン(CoWP)被膜44を選択的に形成する。この成膜の選択性は、CoWP無電解メッキを実施する前に、銅との置換無電解メッキによって、導電層43表面をパラジウムにより被覆しておく。このパラジウム被覆によって、CoWPの成膜はパラジウムを触媒としてパラジウム上のみに発生することに起因している。一旦、パラジウムの表面がCoWPにより被覆された後は、CoWP自体を触媒とした自己触媒メッキにより、選択性を保ったままCoWPのメッキ成長が進行する。上記窒化タンクスチレンからなるバリア層41のエッチングで発生したサイドエッティングによる導電層43表面の露出は、このコバルトタンクスチレン被膜44によって被覆される。その後、基板を洗浄する。この洗浄は、例えば水洗によって行う。

【0024】上記実施の形態で説明した材料のうち、バリア層41は窒化タンクスチレンに限られるものではなく、同様の機能を有する材料、例えば、窒化タンタル等と置き換えることも可能である。

【0025】上記説明では、溝36に埋め込まれた銅からなる導電層43にコバルトタンクスチレン被膜44を形成する技術を説明したが、例えば接続孔内に銅もしくは銅合金からなるプラグを形成し、そのプラグの上面側をコバルトタンクスチレン被膜で被覆するような技術にも適用することができる。

【0026】上記半導体装置の製造方法では、四部(溝)36内に残すバリア層41上端部が導電層43側面と溝36側壁との間になるように第3の絶縁膜35表面のバリア層41を除去し、その後導電層43側面でバリア層41に接続するとともに溝36の開口側における導電層43を選択的に被覆するコバルトタンクスチレン被膜44を形成することから、コバルトタンクスチレン被膜44は導電層43側面でバリア層41に接続するとともに溝36の開口側における導電層43を選択的に被覆するように形成される。また、コバルトタンクスチレン被膜44は、銅との界面で銅の優先的拡散経路となりにくいため、導電層43で構成される配線は高いエレクトロマイグレーション耐性(信頼性)が得られる。

【0027】また、過酸化水素水を用いたウエットエッチングによって、第3の絶縁膜35上のバリア層41を除去している。その際、第3の絶縁膜35表面のバリア層41を完全に除去するため、オーバーエッチングを行うのが通例である。その結果、溝36内に残すバリア層41上端部は、導電層43側面と溝36側壁との間にな

る。そして溝36側壁に形成されているバリア層41は、その上端が導電層43表面よりも溝36の底部側になるように除去される。それによって、コバルトタングステンリン被膜44を形成した場合に、導電層43側部でバリア層41に接続するよう形成される。このように、コバルトタングステンリン被膜44が導電層43側部でバリア層41と接続することから、導電層43はバリア層41とコバルトタングステンリン被膜44とによって包含された状態になる。しかも、その接続部分が導電層43の側部に位置することより、コバルトタングステンリン被膜44は導電層43上面および側面の上部側で導電層43に密着することになり、コバルトタングステンリン被膜44は剥がれにくくなる。その結果、コバルトタングステンリン被膜44とバリア層41との接続力も強固になるので、コバルトタングステンリン被膜44とバリア層41とによって、導電層43の銅の拡散が防止される。また、導電層43への酸素の拡散も防止されるので導電層の酸化が防止される。

## 【0028】

【発明の効果】以上、説明したように本発明の半導体装置によれば、コバルトタングステンリン被膜が、導電層側部でバリア層に接続するとともに導電層の四部の開口側を被覆するように形成されているので、導電層が銅もしくは銅合金で形成された場合であっても、コバルトタングステンリン被膜と導電層との間が銅の拡散経路とならないので、エレクトロマイグレーション耐性を確保することができる。また、導電層はバリア層とコバルトタングステンリン被膜とで包含された状態となっているため、導電層をバリア層とコバルトタングステンリン被膜とで完全に被覆して保護することができる。しかも、コバルトタングステンリン被膜は導電層上面および側面の上部側で導電層に密着することになるので、コバルトタングステンリン被膜は剥がれにくくなっている。以上のことから、導電層を配線もしくはプラグとして用いた場合に、高い信頼性が得られる。また、コバルトタングス

テンリン被膜上に直接低誘電率絶縁膜を成膜することができるため、配線システム全体の配線寄生抵抗が大幅に低減される。

【0029】本発明の半導体装置の製造方法によれば、凹部内に残すバリア層上端部が導電層側面と凹部側壁との間にるようにバリア層を除去するので、その後のコバルトタングステンリン被膜を形成する工程では、コバルトタングステンリン被膜は、導電層側部でバリア層に接続するとともに導電層の四部の開口側を被覆するように形成できる。そのため、導電層が銅もしくは銅合金で形成された場合であっても、コバルトタングステンリン被膜と導電層との間が銅の拡散経路とならないので、エレクトロマイグレーション耐性を確保することができる。また、コバルトタングステンリン被膜をバリア層と導電層を包含する状態に形成することができるので、導電層をバリア層とコバルトタングステンリン被膜とで完全に被覆して保護することができる。しかも、コバルトタングステンリン被膜は導電層上面および側面の上部側で導電層に密着するように形成されるので、コバルトタングステンリン被膜は剥がれにくくなっている。以上のことから、導電層を配線もしくはプラグとして形成した場合には信頼性の高い配線もしくはプラグを形成することができる。また、コバルトタングステンリン被膜上に直接低誘電率絶縁膜を成膜することができるため、配線システム全体の配線寄生抵抗を大幅に低減できる。

## 【図面の簡単な説明】

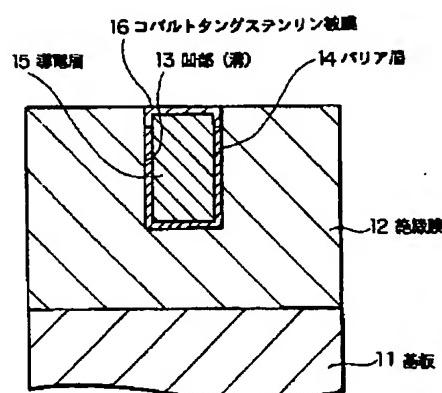
【図1】本発明の半導体装置に係る実施の形態を示す概略構成断面図である。

【図2】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程断面図である。

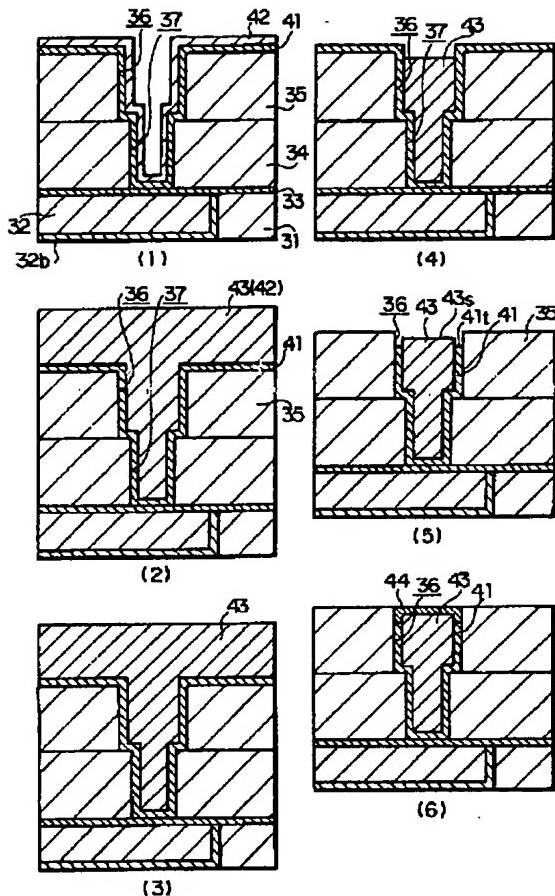
## 【符号の説明】

11…基板、12…絶縁膜、13…凹部（溝）、14…バリア層、15…導電層、16…コバルトタングステンリン被膜

【図1】



【図2】



フロントページの続き

(72)発明者 鬼頭 英至  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72)発明者 田口 充  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

Fターム(参考) 5F033 HH07 HH11 HH12 HH15 HH32  
HH34 JJ01 JJ11 JJ12 JJ32  
JJ34 KK07 MM01 MM02 MM05  
MM12 MM13 NN06 NN07 PP15  
PP27 PP28 QQ08 QQ19 QQ46  
QQ73 RR04 RR21 RR29 XX05  
XX13 XX28  
5F043 AA37 BB25 DD13 GG10